

PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation ⁷ : H01L 23/522</p>	A1	<p>(11) Internationale Veröffentlichungsnummer: WO 00/17928</p> <p>(43) Internationales Veröffentlichungsdatum: 30. März 2000 (30.03.00)</p>		
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; border: none;"> <p>(21) Internationales Aktenzeichen: PCT/DE99/02927</p> <p>(22) Internationales Anmeldedatum: 14. September 1999 (14.09.99)</p> <p>(30) Prioritätsdaten: 198 43 624.6 23. September 1998 (23.09.98) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): ENGELHARDT, Manfred [DE/DE]; Edelweissstrasse 1A, D-83620 Feldkirchen-Westerham (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p> </td> <td style="width: 50%; vertical-align: top; border: none;"> <p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: PCT/DE99/02927</p> <p>(22) Internationales Anmeldedatum: 14. September 1999 (14.09.99)</p> <p>(30) Prioritätsdaten: 198 43 624.6 23. September 1998 (23.09.98) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): ENGELHARDT, Manfred [DE/DE]; Edelweissstrasse 1A, D-83620 Feldkirchen-Westerham (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
<p>(21) Internationales Aktenzeichen: PCT/DE99/02927</p> <p>(22) Internationales Anmeldedatum: 14. September 1999 (14.09.99)</p> <p>(30) Prioritätsdaten: 198 43 624.6 23. September 1998 (23.09.98) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): ENGELHARDT, Manfred [DE/DE]; Edelweissstrasse 1A, D-83620 Feldkirchen-Westerham (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>			
<p>(54) Title: INTEGRATED CIRCUIT AND METHOD FOR PRODUCING THE SAME</p> <p>(54) Bezeichnung: INTEGRIERTE SCHALTUNGSANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG</p> <div style="text-align: center; margin: 20px 0;"> </div>				
<p>(57) Abstract</p> <p>The invention relates to an integrated circuit wherein a first barrier layer (7) and a second insulating layer (8) are located above a first conductive structure (6), which is embedded in a first insulating layer (4). A contact hole (10) is provided in said first barrier layer and second insulating layer, said contact hole extending as far as the first conductive structure (6). The side walls of the contact hole (10) are provided with spacers above the first barrier layer (7). These spacers act as diffusion barriers and extend as far as the surface of the first barrier layer (7). A second conductive structure (13) is located in the contact hole (10) and is conductively connected to the first conductive structure (6). The spacers prevent material from the first conductive structure (6) from being deposited on the surface of the second insulating layer (8) while the contact hole is being made.</p>				

(57) Zusammenfassung

In einer integrierten Schaltungsanordnung sind oberhalb einer ersten leitenden Struktur (6), die in eine erste isolierende Schicht (4) eingebettet ist, eine erste Barrierschicht (7) und eine zweite isolierende Schicht (8) angeordnet, in denen ein Kontaktloch (10) vorgesehen ist, das auf die erste leitende Struktur (6) reicht. Die Seitenwände des Kontaktlochs (10) sind oberhalb der ersten Barrierschicht (7) mit Spacern versehen, die als Diffusionsbarriere wirken und die bis auf die Oberfläche der ersten Barrierschicht (7) reichen. In dem Kontaktloch (10) ist eine zweite leitende Struktur (13) angeordnet, die mit der ersten leitenden Struktur (6) leitend verbunden ist. Die Spacer verhindern bei der Herstellung des Kontaktlochs eine Ablagerung von Material der ersten leitenden Struktur (6) auf der Oberfläche der zweiten isolierenden Schicht (8).

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung.

5

Die Erfindung betrifft eine integrierte Schaltungsanordnung, die insbesondere unter Verwendung von Kupfer als leitendem Material realisierbar ist.

- 10 Es werden zunehmend neue Materialien für den künftigen Einsatz in integrierten Schaltungsanordnungen untersucht. Unter anderem wird Kupfer als leitendes Material untersucht.

- Bei diesen neuen Materialien tritt mitunter das Problem auf,
15 daß Halbleiterscheiben, insbesondere Siliziumscheiben, mit diesem Material kontaminiert werden.

- Es ist daher vorgeschlagen worden (siehe zum Beispiel M. Woo et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 12 bis 13, oder L. Su et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 18 bis 19), in integrierten Schaltungen, die Kupfer als leitendes Material enthalten, zwischen derartigen leitenden Strukturen aus Kupfer und dem Halbleitersubstrat eine isolierende Diffusionsbarriere
25 vorzusehen und im Bereich von Kontakten der leitenden Struktur zum Halbleitersubstrat eine leitende Barriere vorzusehen. Durch diese Barrieren soll eine Diffusion von dem kontaminierenden leitenden Material der leitenden Struktur zum Halbleitersubstrat vermieden werden.

30

- Ferner ist vorgeschlagen worden, oberhalb derartiger leitender Strukturen aus Kupfer Diffusionsbarrieren vorzusehen, die eine Diffusion des Kupfers in dielektrische Schichten, die als sogenanntes Intermetall-dielektrikum zwischen verschiedenen
35 Metallisierungsebenen verwendet werden, verhindern.

Zur Herstellung einer integrierten Schaltung mit zwei Ebenen leitender Strukturen aus Kupfer ist es bekannt (siehe zum Beispiel M. Woo et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 12 bis 13 oder L. Su et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 18 bis 19) zunächst die untere Ebene leitender Strukturen aus Kupfer zu bilden. Diese untere Ebene ist gegen das Halbleitersubstrat durch Diffusionsbarriereschichten getrennt, wobei im Bereich von Kontakten leitende Diffusionsbarrieren verwendet werden. Auf die untere Metallisierungsebene wird ganzflächig eine isolierende Diffusionsbarriereschicht aufgebracht und darauf eine weitere dielektrische Schicht, in der Kontaktlöcher zu den leitenden Strukturen der unteren Metallisierungsebene geöffnet werden. Anschließend wird zunächst eine elektrisch leitende Barriere aufgebracht. Danach werden die Kontaktlöcher mit Kupfer gefüllt.

Es hat sich gezeigt, daß es auch in dieser Struktur zu einer Kontamination der dielektrischen Schicht durch Kupfer kommt.

Der Erfindung liegt daher das Problem zugrunde, eine integrierte Schaltungsanordnung anzugeben, die mindestens zwei leitende Strukturen aufweist und in der eine Diffusion des Materials der leitenden Strukturen in umgebendes Material vermieden wird. Ferner soll ein Verfahren zur Herstellung einer derartigen integrierten Schaltungsanordnung angegeben werden.

Das Problem wird erfindungsgemäß gelöst durch eine integrierte Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 6. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der erfindungsgemäßen Schaltungsanordnung ist eine erste leitende Struktur vorgesehen, die in eine erste isolierende Schicht eingebettet ist. Oberhalb der ersten leitenden Struktur sind eine Diffusionsbarriereschicht und eine zweite iso-

lierende Schicht angeordnet, in denen ein Kontaktloch vorgesehen ist, das auf die erste leitende Struktur reicht. Die Seitenwände des Kontaktlochs sind oberhalb der Diffusionsbarriereschicht mit Spacern versehen, die als Barriere gegen eine Diffusion des Materials der ersten leitenden Struktur in die zweite isolierende Schicht wirken und die bis auf die Oberfläche der Diffusionsbarriereschicht reichen. In dem Kontaktloch ist eine zweite leitende Struktur angeordnet, die mit der ersten leitenden Struktur leitend verbunden ist.

10

Zur Herstellung einer derartigen integrierten Schaltungsanordnung wird auf ein Substrat, das mindestens die erste isolierende Schicht mit der ersten leitenden Struktur aufweist, die Diffusionsbarriereschicht aufgebracht. Darauf wird die zweite isolierende Schicht aufgebracht. In der zweiten isolierenden Schicht wird oberhalb der ersten leitenden Struktur das Kontaktloch geätzt, in dem die Oberfläche der ersten leitenden Struktur mit der Diffusionsbarriereschicht bedeckt ist. Anschließend werden an den Seitenwänden des Kontaktlochs die Spacer gebildet, die als Barriere gegen eine Diffusion des Materials der ersten leitfähigen Struktur in die zweite isolierende Schicht wirken. Daraufhin wird das Kontaktloch bis auf die Oberfläche der ersten leitenden Struktur geöffnet und mit der zweiten leitenden Struktur versehen.

25

Da die Seitenwände des Kontaktlochs mit den Spacern, die eine Diffusionsbarrierewirkung haben, bedeckt werden, ehe die Oberfläche der ersten leitenden Struktur in dem Kontaktloch freigelegt wird, wird in dieser Schaltungsanordnung vermieden, daß beim Öffnen des Kontaktlochs eine Ablagerung von an der Oberfläche der ersten leitenden Struktur während des Öffnens des Kontaktloches abgetragenen Material auf den Seitenwänden der zweiten isolierenden Schicht erfolgt. Derartige Ablagerungen während des Kontaktlochätzens werden dafür verantwortlich gemacht, daß in den nach bekannten Verfahren hergestellten Schaltungsanordnungen trotz der Verwendung von Diffusionsbarrieren eine Kontamination der dielektrischen

35

fusion des Materials der ersten leitenden Struktur in benachbartes Material wirkt. Für die erste Diffusionsbarrierestruktur ist insbesondere Ta, TaN, Ti oder TiN geeignet.

- 5 Ferner ist es vorteilhaft, unterhalb der zweiten leitenden Struktur eine zweite Diffusionsbarrierestruktur vorzusehen, die elektrisch leitend ist und die unterhalb an die zweite leitende Struktur angrenzt und als Barriere gegen eine Diffusion des Materials der zweiten leitenden Struktur wirkt. Auch
10 für die zweite Diffusionsbarrierestruktur sind insbesondere Ta, TaN, Ti oder TiN geeignet.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.

15

Figur 1 zeigt einen Schnitt durch ein Substrat mit einer ersten isolierenden Schicht, in die eine erste leitende Struktur eingebettet ist, mit einer Diffusionsbarriereschicht, die die erste leitende Struktur bedeckt,
20 und mit einer zweiten isolierenden Schicht, in der ein Kontaktloch bis auf die Oberfläche der Diffusionsbarriereschicht geöffnet ist.

Figur 2 zeigt den Schnitt durch das Substrat nach Abscheidung einer konformen Barriereschicht.
25

Figur 3 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung von Spacern mit Diffusionsbarrierewirkung an den Seitenwänden des Kontaktloches.
30

Figur 4 zeigt den Schnitt durch das Halbleitersubstrat nach Freilegen der Oberfläche der ersten leitenden Struktur innerhalb des Kontaktloches.

35 Figur 5 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer zweiten leitenden Struktur.

Ein Halbleitersubstrat weist mindestens eine Passivierungsschicht 1 und eine darauf angeordnete isolierende Diffusionsbarriereschicht 2 auf. Das Halbleitersubstrat umfaßt im wesentlichen monokristallines Silizium, die Passivierungsschicht 1 SiO_2 und die isolierende Diffusionsbarriereschicht 2 SiN . In der Passivierungsschicht 1 und der isolierenden Diffusionsbarriereschicht 2 ist ein Anschluß 3 aus Polysilizium oder Wolfram vorgesehen, der zur Kontaktierung eines im Halbleitersubstrat unterhalb der Passivierungsschicht 1 realisierten Bauelementes vorgesehen ist (siehe Figur 1).

Auf die Oberfläche der isolierenden Barriereschicht 2 wird eine erste isolierende Schicht 4 aus SiO_2 oder einem organischen oder anorganischen Material mit einer geringeren Dielektrizitätskonstante als SiO_2 , das in der Fachwelt als low k Material bezeichnet wird und für das Polyimid oder Stoffe mit der Handelsbezeichnung PBO, BCB, Flowfill oder Silk geeignet sind, in einer Schichtdicke von $0,1\text{ }\mu\text{m}$ bis $2\text{ }\mu\text{m}$ aufgebracht. In der ersten isolierenden Schicht 4 wird durch Bildung einer Öffnung, Abscheidung einer ersten leitfähigen Barriereschicht aus Ta und Abscheidung einer Kupferschicht sowie nachfolgendes chemisch-mechanisches Polieren bis zum Freilegen der Oberfläche der ersten isolierenden Schicht 4 eine erste Diffusionsbarrierestruktur 5 und eine erste leitende Struktur 6 gebildet. Die erste Diffusionsbarrierestruktur 5 grenzt an die Seiten und den Boden der ersten leitenden Struktur 6 an. Sie verhindert eine Diffusion des Kupfers der ersten leitenden Struktur 6 in die erste isolierende Schicht 4 sowie in den darunterliegenden Anschluß 3 und über diesen in das Halbleitersubstrat. Die erste leitende Struktur 6 ist in die erste isolierende Schicht 4 eingebettet.

Nachfolgend wird eine erste Diffusionsbarriereschicht 7 aus SiN in einer möglichst geringen Schichtdicke von typisch $< 100\text{ nm}$, vorzugsweise $10\text{ bis }50\text{ nm}$, aufgebracht. Auf die Diffusionsbarriereschicht 7 wird eine zweite isolierende Schicht 8 aus SiO_2 oder einem low k Material in einer Schichtdicke

von 0,1 μm bis 2 μm aufgebracht. Mit Hilfe einer Ätzmaske 9 wird in einem Plasmaätzprozeß ein Kontaktloch 10 geöffnet, das oberhalb der ersten leitenden Struktur 6 angeordnet ist und das bis auf die Oberfläche der Diffusionsbarriereschicht 7 reicht.

Falls die zweite isolierende Schicht 8 aus SiO_2 besteht, wird die Ätzmaske 9 aus Photolack, Polyimid oder Photoimid gebildet und der Plasmaätzprozeß unter Verwendung eines CF_4 , CHF_3 und/oder C_4F_8 enthaltenden Ätzgases durchgeführt.

Falls die zweite isolierende Schicht 8 aus low k Material besteht, wird die Ätzmaske 9 aus SiO_2 , SiN oder SiON gebildet und der Plasmaätzprozeß mit einem O_2 enthaltenden Ätzgas unter Zugabe von N_2 , CF_4 oder ähnlichem durchgeführt.

Nach Entfernen der Ätzmaske 9 wird eine konforme Diffusionsbarriereschicht 11 aus Ta durch PVD (Physical Vapor deposition) oder CVD (Chemical Vapor deposition) in einer Schichtdicke von 10 bis 50 nm abgeschieden (siehe Figur 2).

Durch anisotropes Ätzen mit Fluor-Chemie (CF_4 , CHF_3 , zum Beispiel $\text{CF}_4 + \text{O}_2$) werden aus der konformen Barriereschicht 11 an den Seitenwänden des Kontaktloches 10 Spacer 11' gebildet. Die Spacer 11' bestehen aus TaN und weisen eine Diffusionsbarrierewirkung gegen Kupfer auf (siehe Figur 3). Die Spacer 11' reichen bis auf die Oberfläche der ersten Diffusionsbarriereschicht 7.

Durch anisotropes Ätzen mit Fluor-Chemie wird die Diffusionsbarriereschicht 7 strukturiert, so daß das Kontaktloch 10 bis auf die Oberfläche der ersten leitenden Struktur 6 reicht. Bei diesem Ätzschritt ist die dem Kontaktloch zugewandte Oberfläche der zweiten isolierenden Schicht 8 mit den Spacern 11' bedeckt, so daß eine Ablagerung von an der Oberfläche der ersten leitenden Struktur 6 abgetragenem Material auf die Flanken der zweiten isolierenden Schicht 8, die dem Kontakt-

loch 10 zugewandt sind, vermieden wird (siehe Figur 4). Alternativ können die Ätzung der Spacer 11' und die Strukturierung der Diffusionsbarrierschicht 7 in einem Ätzschritt durchgeführt werden.

5

Anschließend wird eine zweite leitende Diffusionsbarrierschicht abgeschieden, die die Oberfläche der zweiten isolierenden Schicht 8, die Spacer 11' und die freiliegende Oberfläche der ersten leitenden Struktur 6 bedeckt. Die zweite leitende Diffusionsbarrierschicht wird in einer Schichtdicke von 10 nm bis 50 nm aus TaN durch eine PVD- oder CVD-Abscheidung gebildet. Durch Abscheidung einer weiteren Kupferschicht, die den verbliebenen Freiraum in dem Kontaktloch 10 auffüllt, und Strukturierung der Kupferschicht und der darunter angeordneten zweiten leitenden Diffusionsbarrierschicht werden eine zweite Diffusionsbarrierschicht 12 und eine zweite leitende Struktur 13 gebildet, die mit der ersten leitenden Struktur 6 leitend verbunden ist (siehe Figur 5). Die zweite leitende Struktur 13 ist als Leiterbahn einer Metallisierungsebene ausgestaltet.

20

Patentansprüche

1. Integrierte Schaltungsanordnung,

- 5 - bei der eine erste leitende Struktur (6) vorgesehen ist,
die in einer isolierenden Schicht (4) eingebettet ist,
- bei der oberhalb der ersten leitenden Struktur (6) eine
Diffusionsbarriereschicht (7) und eine zweite isolierende
10 Schicht (8) angeordnet sind, in denen ein Kontaktloch (10)
vorgesehen ist, das auf die erste leitende Struktur (6)
reicht,
- bei der die Seitenwände des Kontaktlochs (10) oberhalb der
15 Diffusionsbarriereschicht (7) mit Spacern (11') versehen
sind, die als Barriere gegen eine Diffusion des Materials
der ersten leitenden Struktur in die zweite isolierende
Schicht (8) wirken und die bis auf die Oberfläche der Dif-
fusionsbarriereschicht (7) reichen,
- 20 - bei der in dem Kontaktloch (10) eine zweite leitende Struk-
tur (13) angeordnet ist, die mit der ersten leitenden
Struktur (6) leitend verbunden ist.

- 25 2. Schaltungsanordnung nach Anspruch 1,
bei der die Spacer (11') elektrisch leitend sind.

3. Schaltungsanordnung nach Anspruch 1 oder 2,
bei der die erste leitende Struktur (6) an eine erste Diffu-
30 sionsbarrierestruktur (5) angrenzt, die elektrisch leitend
ist und die mindestens unterhalb und seitlich der ersten lei-
tenden Struktur (6) angeordnet ist und die als Barriere gegen
eine Diffusion des Materials der ersten leitenden Struktur
(6) wirkt.

35

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,

bei der die zweite leitende Struktur (13) an eine zweite Diffusionsbarrierestruktur (12) angrenzt, die elektrisch leitend ist und mindestens unterhalb der zweiten leitenden Struktur (13) angeordnet ist und die als Barriere gegen eine Diffusion des Materials der zweiten leitenden Struktur (13) wirkt.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,

- bei der die erste leitende Struktur (6) und/oder die zweite leitende Struktur (13) Kupfer, Silber, Gold, Platin oder Palladium enthält,

- bei der die Spacer (11') und/oder die erste Diffusionsbarrierestruktur (5) und/oder die zweite Diffusionsbarrierestruktur (12) Ta, TaN, Ti oder TaN enthalten,

- bei der die Diffusionsbarrierschicht (7) und/oder die Spacer (11') SiN oder SiON enthalten.

6. Verfahren zur Herstellung einer integrierten Schaltungsanordnung,

- bei dem auf ein Substrat (1, 2, 3), das mindestens eine erste isolierende Schicht (4) aufweist, in die eine erste leitende Struktur (6) eingebettet ist, eine Diffusionsbarrierschicht (7) aufgebracht wird,

- bei dem auf die Diffusionsbarrierschicht (7) eine zweite isolierende Schicht (8) aufgebracht wird,

- bei dem in die zweite isolierende Schicht (8) oberhalb der ersten leitenden Struktur (6) ein Kontaktloch (10) geätzt wird, in dem die Oberfläche der ersten leitenden Struktur (6) mit der Diffusionsbarrierschicht (7) bedeckt ist,

- bei dem an den Seitenwänden des Kontaktlochs (10) Spacer (11') gebildet werden, die als Barriere gegen eine Diffusi-

on des Materials der ersten leitfähigen Struktur (6) in die zweite isolierende Schicht (8) wirken,

5 - bei dem das Kontaktloch (10) bis auf die Oberfläche der ersten leitenden Struktur (6) geöffnet wird,

- bei dem in dem Kontaktloch (10) eine zweite leitende Struktur (13) gebildet wird, die mit der ersten leitenden Struktur (6) leitend verbunden ist.

10

7. Verfahren nach Anspruch 6,
bei dem die Spacer (11') aus elektrisch leitendem Material gebildet werden.

15 8. Verfahren nach Anspruch 6 oder 7,

- bei dem zur Herstellung der ersten elektrisch leitenden Struktur (6) auf das Substrat (1, 2, 3) die erste isolierende Schicht (4) aufgebracht wird,

20

- bei dem in der ersten isolierenden Schicht (4) eine Öffnung erzeugt wird,

25 - bei dem durch Abscheiden und Strukturieren einer ersten leitenden Barrierschicht eine erste Diffusionsbarrierestruktur (5) gebildet wird, die elektrisch leitend ist und die den Boden und die Seitenwände der Öffnung bedeckt,

30 - bei dem die erste leitende Struktur (6) durch Auffüllen der Öffnung mit leitendem Material gebildet wird.

9. Verfahren nach einem der Ansprüche 6 bis 8,

35 - bei dem nach der Öffnung des Kontaktloches (10) bis auf die Oberfläche der ersten leitenden Struktur (6) eine zweite leitende Barrierschicht abgeschieden wird,

12

- bei dem eine leitende Schicht abgeschieden wird,
- bei dem durch Strukturierung der leitenden Schicht und der zweiten leitenden Barrierschicht die zweite leitende
- 5 Struktur (13) und eine darunter angeordnete zweite Diffusionsbarrierestruktur (12) gebildet werden.

10. Verfahren nach einem der Ansprüche 6 bis 9,

- 10 - bei dem die erste leitende Struktur (6) und/oder die zweite leitende Struktur (13) Kupfer, Silber, Gold, Platin oder Palladium enthalten,
- bei dem die Spacer (11') und/oder die erste Diffusionsbarrierestruktur (5) und/oder die zweite Diffusionsbarriere-
- 15 struktur (12) Ta, TaN, Ti oder TiN enthalten,
- bei dem die Diffusionsbarrierschicht (7) und/oder die Spacer (11') SiN oder SiON enthalten.

FIG 1

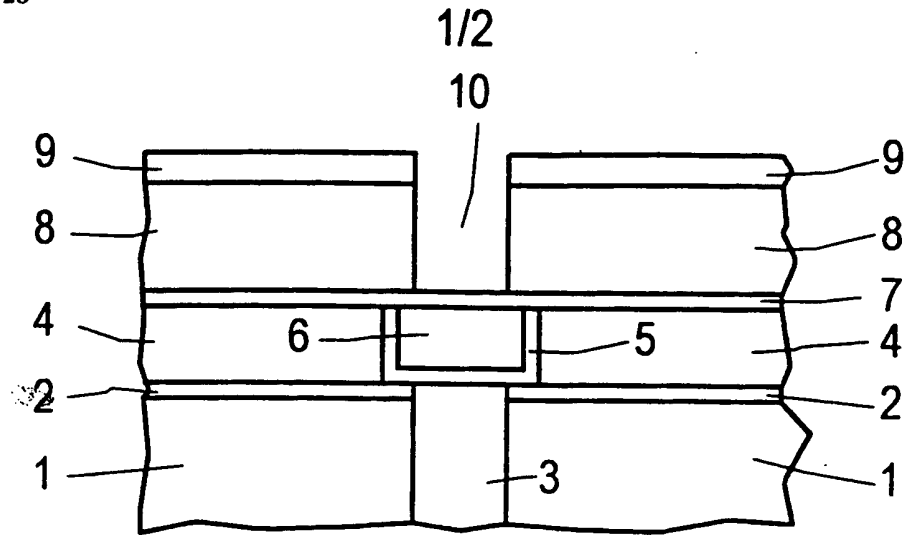


FIG 2

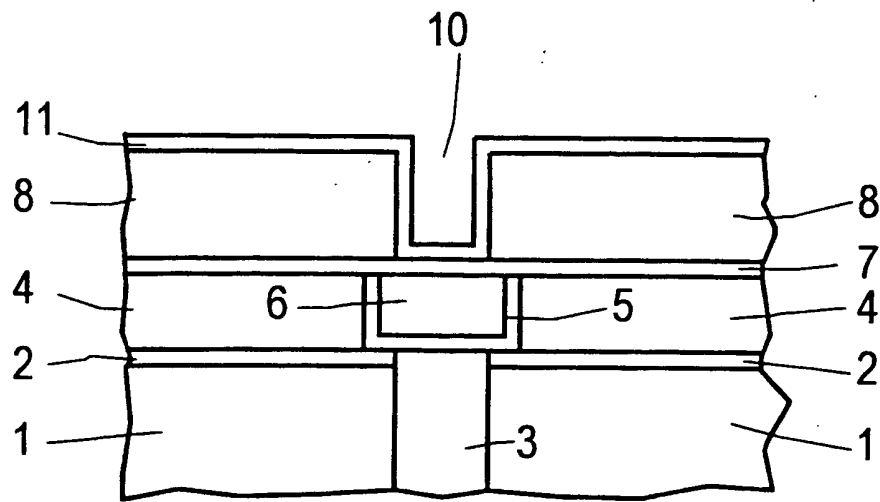


FIG 3

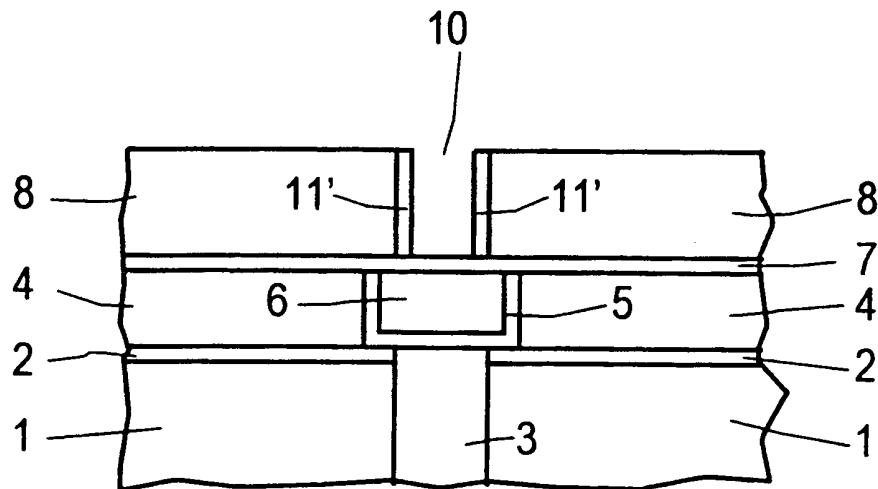


FIG 4

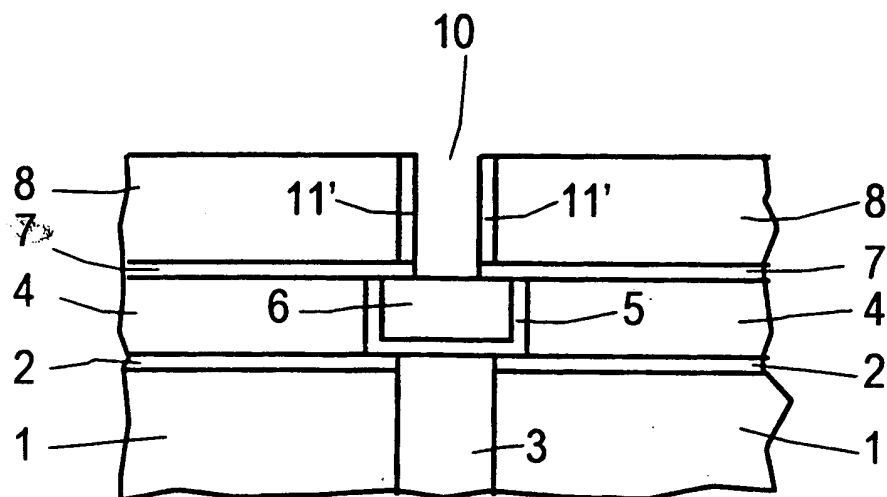
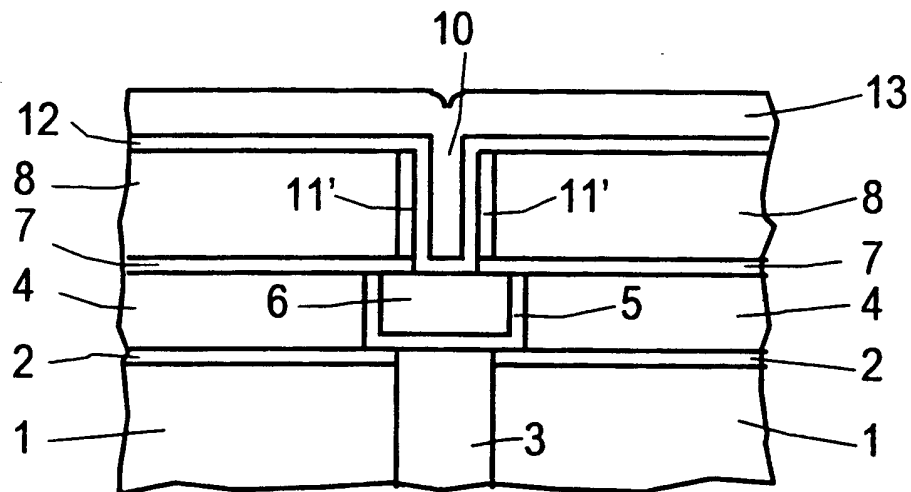


FIG 5



INTERNATIONAL SEARCH REPORT

Intern. Appl. Application No

PCT/DE 99/02927

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L23/522

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 798 778 A (TOKYO SHIBAURA ELECTRIC CO) 1 October 1997 (1997-10-01)	1-3, 5-8, 10
Y	page 8, column 13, line 32 - page 9, column 15, line 1; figures 1-5 page 6, column 10, line 29 - line 33	4, 9
X	US 5 612 254 A (FRASER DAVID B ET AL) 18 March 1997 (1997-03-18)	1-3, 5-8, 10
A	column 4, line 16 - column 8, line 67; figures 5-9	4, 9
Y	US 5 308 793 A (TAGUCHI MITSURU ET AL) 3 May 1994 (1994-05-03)	4, 9
	column 9, line 7 - line 47; figures 12, 14A-14C	

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"G" document member of the same patent family

Date of the actual completion of the international search

29 February 2000

Date of mailing of the international search report

07/03/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3018

Authorized officer

Zeisler, P

INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern. Appl. No.

PCT/DE 99/02927

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0798778	A	01-10-1997	JP 9260492 A	03-10-1997
			CN 1167338 A	10-12-1997
			US 5966634 A	12-10-1999
US 5612254	A	18-03-1997	GB 2268329 A, B	05-01-1994
			JP 6069353 A	11-03-1994
			SG 42982 A	17-10-1997
			US 5739579 A	14-04-1998
			US 5817572 A	06-10-1998
US 5308793	A	03-05-1994	JP 5029254 A	05-02-1993

INTERNATIONALER RECHERCHENBERICHT

Intern. Aktenzeichen

PCT/DE 99/02927

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L23/522

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 798 778 A (TOKYO SHIBAURA ELECTRIC CO) 1. Oktober 1997 (1997-10-01)	1-3, 5-8, 10
Y	Seite 8, Spalte 13, Zeile 32 - Seite 9, Spalte 15, Zeile 1; Abbildungen 1-5	4, 9
X	US 5 612 254 A (FRASER DAVID B ET AL) 18. März 1997 (1997-03-18)	1-3, 5-8, 10
A	Spalte 4, Zeile 16 - Spalte 8, Zeile 67; Abbildungen 5-9	4, 9
Y	US 5 308 793 A (TAGUCHI MITSURU ET AL) 3. Mai 1994 (1994-05-03)	4, 9
	Spalte 9, Zeile 7 - Zeile 47; Abbildungen 12, 14A-14C	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

29. Februar 2000

Abschließdatum des internationalen Recherchenberichts

07/03/2000

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3018

Bevollmächtigter Bediensteter

Zeisler, P

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/02927

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(r) der Patentfamilie	Datum der Veröffentlichung
EP 0798778 A	01-10-1997	JP 9260492 A CN 1167338 A US 5966634 A	03-10-1997 10-12-1997 12-10-1999
US 5612254 A	18-03-1997	GB 2268329 A, B JP 6069353 A SG 42982 A US 5739579 A US 5817572 A	05-01-1994 11-03-1994 17-10-1997 14-04-1998 06-10-1998
US 5308793 A	03-05-1994	JP 5029254 A	05-02-1993